

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030003647 (43) Publication Date. 20030110

(21) Application No.1020010070956 (22) Application Date. 20011115

(51) IPC Code:

H01Q 23/00

(71) Applicant:

SAMSUNG ELECTRO-MECHANICS CO., LTD.

(72) Inventor:

PARK, HEUNG SU

SUNG, JAE SEOK

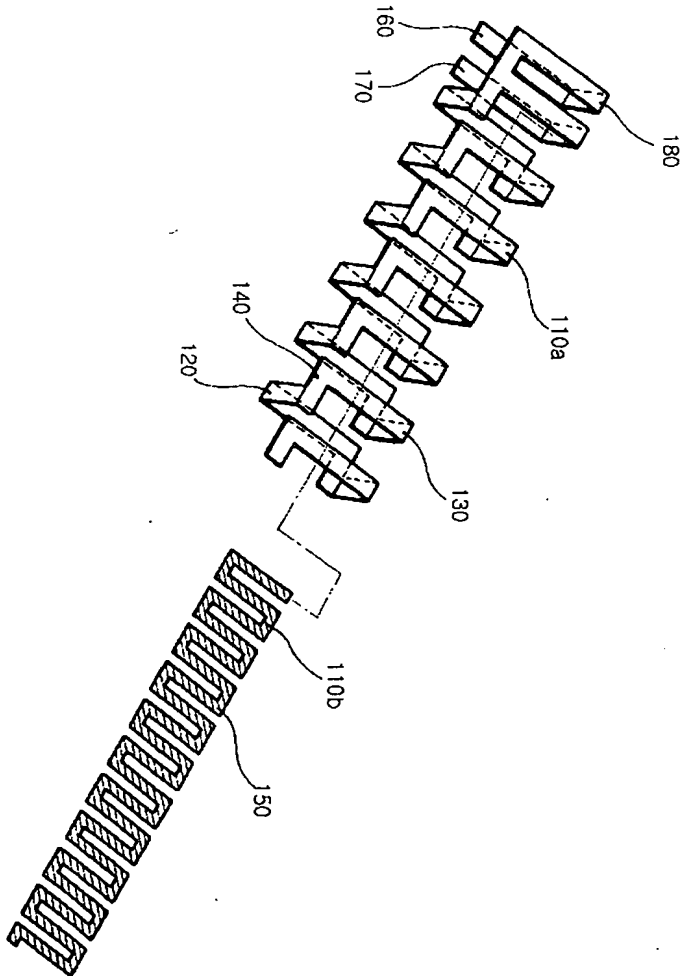
(30) Priority:

1020010039335 20010702 KR

(54) Title of Invention

CHIP ANTENNA

Representative drawing



(57) Abstract:

PURPOSE: A chip antenna is provided to miniaturize a size of an antenna without changing a characteristic of the antenna and improve band width of a single frequency by approaching resonant frequencies to conductive lines of the chip antenna.

CONSTITUTION: A base block is formed with dielectric or magnetic substance. A conductive pattern is formed on the base block. The conductive pattern is formed with the first conductive line(110a) and the second conductive line(110b). The first conductive line (110a) is formed with a plurality of side electrodes(120) and a plurality of upper and lower electrodes(130) connected with the side electrodes(120). A bent portion(140) is formed at one side of the upper and lower electrode (130). In the second conductive line(110b), an inner electrode connected parallel to the first conductive line(110a) is formed at the inside of the base block(100). The second conductive line(110b) is connected to a part of a feeder terminal(170) of the first conductive line(110a). An impedance control terminal(180) is connected between the first

conductive line(110a) and an earth terminal(160).

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. 7
H01Q 23/00

(11) 공개번호 특2003-0003647
(43) 공개일자 2003년01월10일

(21) 출원번호 10-2001-0070956
(22) 출원일자 2001년11월15일

(30) 우선권주장 1020010039335 2001년07월02일 대한민국(KR)

(71) 출원인 삼성전기주식회사
경기 수원시 팔달구 매탄3동 314번지

(72) 발명자 박홍수
경기도성남시분당구구미동202무지개마을LG아파트213-703
성재석
경기도수원시팔달구영통동벽적골한신아파트816동903호

(74) 대리인 손원
진준항

심사청구 : 있음

(54) 칩 안테나

요약

본 발명은 근거리 무선통신(Bluetooth), wireless LAN, 이동통신 단말기등에 사용되는 칩 안테나에 관한 것이다.

본 발명은, 유전체및 자성체 재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록; 상기 베이스블록에 형성되는 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되도록 베이스블록에 내부전극이 2차도체라인으로 구성되는 도체 패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절 전극를 포함하여 구성된다.

이에따라서, 안테나의 특성 변화없이 안테나를 소형화 할 수 있으며, 안테나의 밴드폭의 광대역화가 가능하게 될 수 있는 것이다.

대표도

도 3

색인어

베이스블록, 도체패턴, 상하부전극, 절곡부, 내부전극

명세서

도면의 간단한 설명

도 1은 종래의 칩 안테나를 각각 도시한 외관 사시도.

도2는 본 발명에 따른 칩 안테나를 도시한 사시도.

도3은 본 발명에 따른 칩 안테나의 도체패턴을 도시한 사시도.

도4a,b는 각각 본 발명에 따른 칩 안테나의 특성곡선을 도시한 그래프도

도5는 본 발명의 제2 실시예에 따른 칩 안테나의 적층상태를 도시한 사시도

도 6은 본 발명의 제3 실시예에 의한 칩 안테나의 도체패턴을 도시한 도면

도 7은 본 발명의 제4 실시예에 의한 칩 안테나의 도체패턴을 도시한 도면

도 8은 본 발명의 제5 실시예에 의한 칩 안테나의 도체패턴을 도시한 도면

도면의 주요 부분에 대한 부호의 설명

100,200,300,400,500...베이스 블록

110,210,310,410,510...도체패턴

110a,210a,310a,410a,510a...1차 도체라인

110b,210b,310b,410b,510b...2차 도체라인

150,250,350,450,550...내부전극

160,260,360,460,560...접지단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이동통신용 단말기 및 LAN(Local Area Network)등에 사용되는 칩 안테나에 관한 것으로서 이는특히, 유전체 및 자성체 재료로서 이루어진 직방체의 베이스 블록에 각각 독립적인 1,2차 도체라인이 형성되는 도체패턴을 형성하는 구성으로 인하여, 안테나의 소형화 및 안테나 단일 주파수에서의 밴드폭을 향상시킬 수 있도록한 칩 안테나에 관한 것이다.

일반적으로 알려져 있는 이동통신용 기기는, 휴대전화 본체와, 상기 휴대전화본체의 상부에 돌출되어 설치되는 막대형 안테나로 구성되어, 전파를 송수신하는데 사용되고, 상기 안테나의 공진 주파수는 안테나를 구성하는 전도체의 전체 길이에 따라 결정된다.

그러나 상기와 같은 이동통신용 기기용 안테나는, 안테나가 외부로 돌출되어, 이동통신기기의 소형화에 역행하게 되는 단점이 있는 것이다.

한편, 상기와같은 단점을 개선하기 위한 칩 안테나의 구성에 있어서는 도 1에 도시한 바와같이, 유전체 재료로서 구성되는 기체(1)와 상기 기체의 내부 및 표면에 헬리컬 형상으로 형성되면서, 이층의 도체라인이 평행하게 배열되는 도체(2) 및 상기 도체에 전압을 인가하도록 기체(1)의 표면에 설치되는 급전단자(3)를 구비하고, 상기 도체(2)는, 하나의 도체라인과, 다른 하나의 도체라인은 역전부(2a)에 의해 상호 연결하는 구성으로 이루어진다.

이에 따라서, 상기 도체(2)의 전체길이가 증가하지 않으면서도, 상기 도체(2)와 그라운드와의 대향면적을 향상시켜 정전 용량값을 증가시켜 밴드폭을 넓히는 것이다.

그러나, 상기와 같은 종래의 안테나는, 확대되는 밴드폭이 크지않고, 평행한도체라인 사이의 거리에 따라 인테나의 특성이 크게 차이가 나게되어, 신뢰성을 저하 시키게 되는 단점이 있는 것이다.

발명이 이루고자 하는 기술적 과제

상기한 바와같은 종래의 문제점들을 개선하기 위한 본 발명의 목적은, 안테나의 특성 변화없이 안테나를 소형화 할수 있는 칩 안테나를 제공하는데 있다.

또한, 본 발명의 다른 목적은, 각각의 공진 주파수를 갖는 칩 안테나 도체라인의 공진 주파수를 근접시켜, 단일 주파수에서 밴드폭을 향상시켜 광대역화가 가능하게 되는 칩 안테나를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명은, 서로 대향하는 상면과 하면 및 상기 상,하면 사이의 측면으로 이루어지고, 유전체 및 자성체 재료중 어느 하나를 포함하여 형성되는 베이스 블록;

상기 베이스 블록의 일부에 형성된 역 F형의 1차 도체라인; 및

상기 베이스 블록의 일부에 형성된 역 L형의 2차 도체라인을 포함하며,

상기 1차 도체라인 및 상기 2차 도체라인은 서로 병렬로 연결되는 것을 특징으로 한다.

또한, 본 발명은 유전체 및 자성체 재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록의 적어부 일부를 나선상으로 감싸도록 형성되는 측면전극과, 상하부전극이 형성되며, 상기 상,하부 전극에 절곡부가 형성되는 1차 도체라인과,

상기 1차 도체라인과 병렬로 연결되도록 베이스블록의 내측에 내부전극이 2차도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되도록 베이스블록의 외측면에 형성되는 접지단자및 급전단자;와

상기 1차 도체라인 및 접지단자 사이에 연결되어 임피던스를 조절하도록 베이스블록에 외측면에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 한다.

또한, 본 발명은, 유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록의 적어도 일부를 나선상으로 감싸도록 형성되는 측면전극과, 상기 측면전극에 연결되는 상부전극 및 하부전극으로 구성되며, 상기 상부전극 및 하부전극에 각각 절곡부가 형성되는 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되며, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 한다.

또한 본 발명은, 유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스 블록의 폭방향으로 횡설되며, 민드라인 형상의 역 F형 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되면서, 상기 베이스 블록의 하부 내측에 형성된 역 L형 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 한다.

또한 본 발명은, 유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록에 형성되는 평판형 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되는 평판형 2차 도체라인으로 구성되며, 상기 1차 도체라인은, 상기 베이스블록의 폭방향으로 횡설 되도록 평판 형상으로 하며, 상기 2차 도체라인은, 상기 1차 도체라인과 병렬로 연결되면서, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 한다.

또한 본 발명은, 유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록에 형성되는 슬롯형상의 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되는 슬롯형상의 2차 도체라인으로 구성되며, 상기 1차 도체라인은, 상기 베이스블록의 폭방향으로 횡설 되며, 상기 2차 도체라인은, 상기 1차 도체라인과 병렬로 연결되면서, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 한다.

이하, 첨부된 도면에 의하여 본 발명의 실시예를 상세하게 설명하면 다음과 같다.

도 2 및 도 3에 도시한 본 발명의 칩 안테나는, 베이스 블록(100)와 도체패턴(110) 및 상기 도체패턴(110)에 연결되도록 베이스블록(100)에 형성되는 접지단자(160), 급전단자(170), 임피던스 조절전극(180)으로 구성된다.

상기 베이스블록(100)은, 서로 대향하는 상면과 하면 및 상기 상면과 하면 사이의 측면으로 이루어지고, 유전체 또는 자성체 재료중 어느 하나를 포함하여 형성되거나, 유전체 또는 자성체 재료중 어느 하나를 포함하여 직방체로 형성된다.

상기 베이스 블록(100)에 형성되는 도체패턴(110)은, 역 F자 형상의 1차 도체라인(110a)과 상기 역 F자 형상의 1차 도체라인(110a)과 병렬로 연결되는 2차 도체라인(110b)으로 구성되며, 이때, 상기 2차 도체라인(110b)은 역 L자 형상으로 구성할수도 있다.

상기 역 F자 형상의 1차 도체라인(110a)은, 상기 베이스블록(100)의 폭방향 양측에 대향토록 형성되는 복수의 측면전극(120)과, 상기 측면전극(120)에 연결되는 상,하부전극(130)으로 구성되어, 상기 베이스블록(100)의 외측면을 감싸도록 나선상으로 권취되고, 상기 상,하부전극(130)은, 일측에 실질적으로 90도 방향으로 절곡되는 절곡부(140)가 형성된다.

또한, 상기 2차 도체라인(110b)은, 상기 1차 도체라인(110a)과 병렬로 연결되는 내부전극(220a)이 베이스블록(100)의 내측에 형성된다.

또한, 상기 2차 도체라인(110b)은 1차 도체라인(110a)의 급전단자(170)의 일부분에 연결되며, 상기 베이스 블록(100)의 길이 방향으로 연장되어 형성된다.

이때, 상기 내부전극(150)의 형상은, 헬리컬(helical), 수직으로 절곡된 민더라인(meander line)형상, 선형 및 평판형상 중 선택적으로 사용하게 된다.

상기 도체패턴(110)과 연결되도록 접지단자(160) 및 급전단자(170)와 안테나 고정단자(190)가 베이스 블록(100)의 외측단부에 각각 형성되며, 상기 1차 도체라인(110a)은 상기 베이스 블록(100)의 길이 방향으로 연장되는 도체패턴(110)과, 상기 도체패턴(110)의 일측 및 타측에 각각 연결되는 급전단자(170) 및 접지단자(160)를 포함한다.

상기 역 F자 형상의 1차도체라인(110a) 및 접지단자(160) 사이에 연결되는 임피던스 조절단자(180)는, 상기 베이스블록(100)의 상부 일측단에 1차도체라인(110a)과 연결되어 일정면적을 갖도록 하는 구성으로 이루어 진다.

이와같은 구성으로 이루어진 본 발명의 작용 및 효과를 설명하면 다음과 같다.

도 2 내지 도 4에 도시한 바와같이 본 발명의 칩 안테나는, 유전체 또는 자성체 재료중 어느 하나를 포함하며, 직방체인 베이스블록(100)에 도체패턴(110)을 형성한 후, 상기 도체패턴(110)에 연결되도록 접지단자(160)와 급전단자(170) 및 안테나 고정단자(190)를 형성할 경우 칩 안테나가 완성된다.

그리고, 상기 도체패턴(110)과 접지단자(160) 사이에는, 소정의 면적을 갖는 임피던스 조절단자(180)가 설치되어, 상기 임피던스 조절단자(180)를 일부 제거할 경우, 그 면적이 조절되어 안테나의 임피던스 매칭을 조절할수 있도록 한다.

상기 도체패턴(110)을 형성하는 역 F자 형상의 1차 도체라인(110a)은, 스크린 인쇄나 디핑(Deeping)공정등에 의해 베이스블록(100)의 표면에 형성되고, 상기 1차 도체라인(110a)은 베이스블록(100)의 외측면을 나선상으로 권취하는 형태로 인쇄된다.

또한, 상기 1차 도체라인(110a)의 내측에 병렬로 연결되도록 역 L자 형상의 2차 도체라인(110b)을 형성하게 되면, 도 4a 및 b에 도시한 바와같이, 상기 1, 2차 도체라인(110a)(110b)에 의해 두개의 독립되는 근접 공진주파수가 형성되어 밴드의 폭이 2배 이상으로 증가하게 된다.

한편, 도 5는 본 발명의 다른 실시예에 의한 칩 안테나의 도체패턴(210)을 나타낸 도면으로써, 칩 안테나의 베이스블록(200)은, 유전체 또는 자성체 재료중 어느 하나를 포함하여 직방체로 형성된다.

상기 베이스블록(200)에 형성되는 도체패턴(210)은, 역 F자 형상의 1차 도체라인(210a)과 상기 1차 도체라인(210a)과 병렬로 연결되는 역 L자 형상의 2차 도체라인(210b)으로 구성되며, 상기 1차 도체라인(210a)은, 상기 베이스블록(200)의 폭방향 양측에 대향토록 형성되는 복수의 측면전극(220)과, 상기 측면전극(220)에 연결되는 상,하부전극

(230)으로 구성되어 베이스 블록(200) 외부 상부 일측을 감싸도록 나선상으로 권취되고, 상기 상하부전극(230)은, 일측에 실질적으로 90도 방향으로 절곡되는 절곡부(240)가 형성된다.

또한, 상기 2차 도체라인(210b)은, 상기 1차 도체라인(210a)과 병렬로 연결되면서, 상기 1차 도체라인(210a)의 하측에 위치되도록 베이스블록(200)의 하부 내측에 내부전극(250)이 형성된다.

이때, 상기 내부전극(250)의 형상은, 헬리컬, 수직으로 절곡된 민더라인 형상, 선형 및 평판형중 선택적으로 사용하게 된다.

상기 도체패턴(210)과 연결되도록 접지단자(260), 급전단자(270), 안테나 고정단자(290)는, 상기 베이스 블록(200)의 외측단부에 각각 형성된다.

상기 1차도체라인(210a)및 접지단자(210b) 사이에 연결되는 임피던스 조절단자(280)는, 상기 베이스 블록(200)의 상부 일측단에 1차 도체라인(210a)과 연결되어 일정한 면적을 갖는 구성으로 이루어 진다.

이에 따라서, 상기 1차 도체라인(210a)과 상기 1차 도체라인(210a)과 2차 도체라인(210b)이 병렬로 연결되고, 상기 2차 도체라인(210b)이 1차 도체라인(210a)의 하부에 위치토록 되어도, 상기 도 4a 및 b의 그래프도 에서와 같은 본 발명의 일 실시예와 동일한 효과를 가져오게 된다.

또한, 상기 2차 도체라인(210b)은, 상기 1차 도체라인(210a)과 병렬로 연결되면서 1차 도체라인(210a)의 하측에 위치될 수 있도록, 상기 베이스블록(200)의 하부 내측에 내부전극(250)을 형성하고, 상기 1,2차 도체라인(210a)(210b)은, 각각 독립된 도체라인을 구성하여 각각의 공진 주파수를 갖게 된다.

계속해서, 상기 도체패턴(210)이 연결되는 접지단자(260)는, 상기 베이스블록(200)의 표면에서 그 면적을 자유롭게 조정하여, 인피던스 매칭을 자유롭게 조절할 수 있는 것이다.

다른한편, 도 6은 본 발명의 제3 실시예에 의한 칩 안테나의 도체패턴(310)을 나타낸 도면으로써, 칩 안테나의 베이스 블록(300)은, 유전체 또는 자성체 재료중 어느 하나를 포함하여 직방체로 형성된다.

상기 베이스블록(100)에 형성되는 도체패턴(310)은, 역 F자 민드라인 형상의 1차 도체라인(310a)과, 상기 1차 도체라인(310a)과 병렬로 연결되는 역 L자 형상의 2차 도체라인(310b)으로 구성되며, 상기 1차 도체라인(310a)은, 상기 베이스블록(300)의 폭방향으로 횡설 되도록 민드라인 형상으로 하며, 1차 도체라인(310a)의 전극이 실질적으로 90도 방향으로 절곡되는 절곡부(340)가 형성된다.

또한, 상기 2차 도체라인(310b)은, 상기 1차 도체라인(310a)과 병렬로 연결되면서, 상기 1차 도체라인(310a)의 하측에 위치되도록 한다.

이때, 상기 2차 도체라인(310b)으로 구성되는 내부전극(350)의 형상은, 헬리컬, 수직으로 절곡된 민더라인 형상, 선형 및 평판형중 선택적으로 사용하게 된다.

또한, 상기 도체패턴(310)과 연결되도록 접지단자(360), 급전단자(370), 안테나 고정단자(390)는, 상기 베이스 블록(300)의 외측단부에 각각 형성된다.

상기 1차도체라인(310a)및 접지단자(360) 사이에 연결되는 임피던스 조절단자(380)는, 상기 베이스 블록(300)의 상부 일측단에 1차 도체라인(310a)과 연결되어 일정한 면적을 갖는 구성으로 이루어 진다.

이에 따라서, 상기 1차 도체라인(310a)과 상기 1차 도체라인(310a)과 2차 도체라인(310b)이 병렬로 연결되고, 상기 2차 도체라인(310b)이 1차 도체라인(310a)의 하부에 위치토록 되어도, 상기 도 4a 및 b의 그래프도 에서와 같은 본 발명의 일 실시예와 동일한 효과를 가져오게 된다.

또한, 도 7은 본 발명의 제4 실시예에 의한 칩 안테나의 도체패턴(410)을 나타낸 도면으로써, 칩 안테나의 베이스블록(400)은, 유전체 또는 자성체 재료중 어느 하나를 포함하여 직방체로 형성된다.

상기 베이스블록(400)에 형성되는 도체패턴(410)은, 역 F자 형상의 평판형 1차 도체라인(410a)과, 상기 1차 도체라인(410a)과 병렬로 연결되는 역 L자 형상의 평판형 2차 도체라인(410b)으로 구성되며, 상기 1차 도체라인(410a)은, 상기 베이스블록(400)의 폭방향에 평판형으로 횡설 되도록 한다.

또한, 상기 2차 도체라인(410b)은, 상기 1차 도체라인(410a)과 병렬로 연결되면서, 상기 1차 도체라인(410a)의 하측에 위치되도록 한다.

이때, 상기 2차 도체라인(410b)으로 형성되는 내부전극(450)의 형상은 상기 실시예에서와 같이 평판형은 물론, 헬리컬, 수직으로 절곡된 민더라인 형상, 선형중 선택적으로 사용하게 된다.

또한, 상기 2차 도체라인(410b)은, 상기 1차 도체라인(410a)과 병렬로 연결되면서 1차 도체라인(410a)의 하측에 위치될 수 있도록, 상기 베이스블록(400)의 하부 내측에 내부전극(450)을 형성하고, 상기 1,2차 도체라인(410a)(410b)은, 각각 독립된 도체라인을 구성하여 각각의 공진 주파수를 갖게 된다.

계속해서, 상기 도체패턴(410)이 연결되는 접지단자(460)는, 상기 베이스블록(400)의 표면에서 그 면적을 자유롭게 조정하여, 인피던스 매칭을 자유롭게 조절할 수 있는 것이다.

도 8은 본 발명의 제5 실시예에 의한 칩 안테나의 도체패턴(510)을 나타낸 도면으로써, 칩 안테나의 베이스블록(500)은, 유전체 또는 자성체 재료중 어느 하나를 포함하여 직방체로 형성된다.

상기 베이스블록(500)에 형성되는 도체패턴(510)은, 슬롯형상의 1차 도체라인(510a)과, 상기 1차 도체라인(510a)과 병렬로 연결되는 슬롯형상의 2차 도체라인(510b)으로 구성되며, 상기 1차 도체라인(510a)은, 상기 베이스블록(500)의 폭방향으로 횡설 되도록 한다.

또한, 상기 2차 도체라인(510b)은, 상기 1차 도체라인(510a)과 병렬로 연결되면서, 상기 1차 도체라인(510a)의 하측에 위치되도록 한다.

이때, 상기 2차 도체라인(510b)으로 구성되는 내부전극(550)의 형상은 상기 실시예에서와 같이 슬롯 형상의 평판형은 물론, 헬리컬, 수직으로 절곡된 민더라인 형상, 선형중 선택적으로 사용하게 된다.

또한, 상기 2차 도체라인(510b)은, 상기 1차 도체라인(510a)과 병렬로 연결되면서 1차 도체라인(510a)의 하측에 위치될 수 있도록, 상기 베이스블록(500)의 하부 내측에 내부전극(550)을 형성하고, 상기 1,2차 도체라인(510a)(510b)은, 각각 독립된 도체라인을 구성하여 각각의 공진 주파수를 갖게 된다.

계속해서, 상기 도체패턴(510)이 연결되는 접지단자(560)는, 상기 베이스블록(500)의 표면에서 그 면적을 자유롭게 조정하여, 인피던스 매칭을 자유롭게 조절할 수 있는 것이다.

발명의 효과

이상과 같이 본 발명에 따른 칩 안테나에 의하면, 안테나의 특성 변화없이 안테나를 소형화 할수 있게 되며, 칩 안테나의 각각의 공진주파수를 갖는 도체라인을 근접시켜 단일 주파수에서 밴드폭을 향상시켜 광대역화가 가능하도록 하는 우수한 효과가 있다.

본 발명은 특정한 실시예에 관련하여 도시하고 설명 하였지만, 이하의 특허청구범위에 의해 제공되는 본 발명의 정신이나 분야를 벗어나지 않는 한도내에서 본 발명이 다양하게 개량 및 변화될수 있다는 것을 당업계에서 통상의 지식을 가진자는 용이하게 알수 있음을 밝혀 두고자 한다.

(57) 청구의 범위

청구항 1.

서로 대향하는 상면과 하면 및 상기 상,하면 사이의 측면으로 이루어지고, 유전체 및 자성체 재료중 어느 하나를 포함하여 형성되는 베이스 블록;

상기 베이스 블록의 일부에 형성된 역 F형의 1차 도체라인; 및

상기 베이스 블록의 일부에 형성된 역 L형의 2차 도체라인을 포함하며,

상기 1차 도체라인 및 상기 2차 도체라인은 서로 병렬로 연결되는 것을 특징으로 하는 칩 안테나.

청구항 2.

제 1항에 있어서, 상기 베이스 블록은 직방체로 이루어진 것을 특징으로 하는 칩 안테나.

청구항 3.

제 1항에 있어서, 상기 1차 도체라인은 상기 베이스 블록의 길이방향으로 연장된 도체 패턴과, 상기 도체패턴의 일측에 연결된 급전단자 및 상기 도체패턴의 타측에 연결된 접지단자를 포함하는 것을 특징으로 하는 칩 안테나.

청구항 4.

제 3항에 있어서, 상기 2차 도체라인은 상기 1차 도체라인의 급전단자의 일부분에 연결되고, 상기 베이스 블록의 길이 방향으로 연장되어 형성되는 것을 특징으로 하는 칩 안테나.

청구항 5.

유전체 및 자성체 재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록의 일부를 나선상으로 감싸도록 형성되는 측면전극과, 상기 측면전극에 연결되는 상부전극 및 하부전극으로 구성되며, 상기 상부전극 및 하부전극에 각각 절곡부가 형성되는 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되도록 베이스블록의 내부에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절 전극를 포함하여 구성됨을 특징으로 하는 칩 안테나.

청구항 6.

제 5항에 있어서, 상기 도체패턴의 1차 도체라인에 형성되는 절곡부는, 실질적으로 90도 방향으로 절곡되는 것을 특징으로 하는 칩 안테나.

청구항 7.

제 5항에 있어서, 상기 측면전극은 상기 베이스 블록의 상부 및 하부면에 대하여 수직으로 형성되는 것을 특징으로 하는 칩 안테나.

청구항 8.

제 5항에 있어서, 상기 상부전극 및 하부전극은, 양 단부가 각각 측면전극에 연결된 "L"자형으로 형성되는 것을 특징으로 하는 칩 안테나.

청구항 9.

제 5항에 있어서, 상기 베이스 블록의 내측에 형성되는 2차 도체라인은, 수직으로 절곡된 민더라인 형상 또는 헬리컬 형상으로 형성되는 것을 특징으로 하는 칩 안테나.

청구항 10.

제 5항에 있어서, 상기 1차 도체라인은 상기 유전체 블록의 외측을 감싸도록 권취되어 형성된 것을 특징으로 하는 칩 안테나.

청구항 11.

제 5항에 있어서, 상기 2차 도체라인은, 상기 나선상으로 권취된 1차 도체라인의 내측에 위치토록 형성되는 것을 특징으로 하는 칩 안테나.

청구항 12.

제 5항에 있어서, 상기 1차 도체라인은 상기 상부전극 및 상기 하부전극 중 어느 하나가 상기 유전체 블록의 내측에 형성되는 것을 특징으로 하는 칩안테나.

청구항 13.

제 5항에 있어서, 상기 2차 도체라인은, 상기 1차 도체라인 외측에 형성되는 것을 특징으로 하는 칩 안테나.

청구항 14.

제 5항에 있어서, 상기 접지단자 및 급전단자는, 상기 도체패턴의 일단으로 부터 연장되어 병렬로 연결되며, 상기 베이스 블록의 어느 한쪽의 측면에 형성되는 것을 특징으로 하는 칩안테나.

청구항 15.

제 14항에 있어서, 상기 급전단자는, 상기 도체패턴의 일단으로부터 상기 베이스 블록의 상면, 측면 및 하면으로 연장되어 상기 베이스 블록의 일부를 둘러싸도록 형성된 것을 특징으로 하는 칩안테나.

청구항 16.

제 14항에 있어서, 상기 접지단자는, 상기 도체패턴의 일단으로 부터 상기 베이스 블록의 상면, 측면 및 하면으로 연장되어 상기 베이스 블록의 일부를 둘러싸도록 형성된 것을 특징으로 하는 칩안테나.

청구항 17.

제 14항에 있어서, 상기 접지단자는 상기 베이스 블록의 단부에 인접하여 형성되며, 상기 급전단자는 상기 도체패턴과 상기 접지 단자의 사이에 형성되는 것을 특징으로 하는 칩안테나.

청구항 18.

유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록의 적어도 일부를 나선상으로 감싸도록 형성되는 측면전극과, 상기 측면전극에 연결되는 상부전극 및 하부전극으로 구성되며, 상기 상부전극 및 하부전극에 각각 절곡부가 형성되는 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되며, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 하는 칩 안테나.

청구항 19.

유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스 블록의 폭방향으로 횡설되며, 민드라인 형상의 역 F형 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되면서, 상기 베이스 블록의 하부 내측에 형성된 역 L형 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 하는 칩 안테나.

청구항 20.

제 19항에 있어서, 상기 1차 도체라인은, 전극이 실질적으로 90도 방향으로 절곡되는 절곡부가 형성되는 것을 특징으로 하는 칩 안테나.

청구항 21.

유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록에 형성되는 평판형 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되는 평판형 2차 도체라인으로 구성되며, 상기 1차 도체라인은, 상기 베이스블록의 폭방향으로 횡설 되도록 평판 형상으로 하며, 상기 2차 도체라인은, 상기 1차 도체라인과 병렬로 연결되면서, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절전극을 포함하여 구성됨을 특징으로 하는 칩 안테나.

청구항 22.

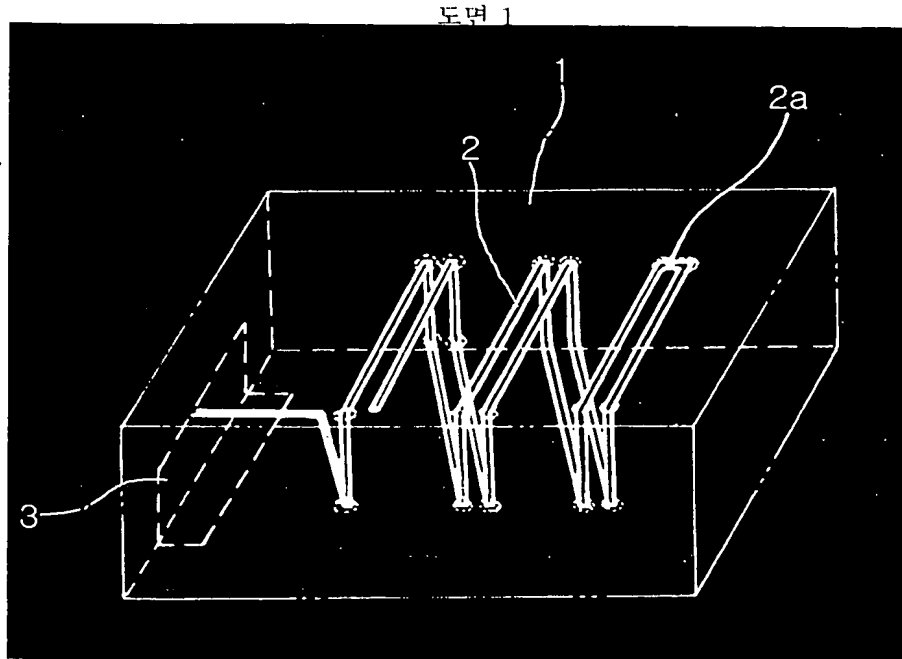
유전체 및 자성체재료중 어느 하나를 포함하여 직방체로 형성되는 베이스 블록;

상기 베이스블록에 형성되는 슬롯형상의 1차 도체라인과, 상기 1차 도체라인과 병렬로 연결되는 슬롯형상의 2차 도체라인으로 구성되며, 상기 1차 도체라인은, 상기 베이스블록의 폭방향으로 횡설 되며, 상기 2차 도체라인은, 상기 1차 도체라인과 병렬로 연결되면서, 상기 1차 도체라인의 하측에 위치되도록 베이스블록의 하부 내측에 형성되는 2차 도체라인으로 구성되는 도체패턴;

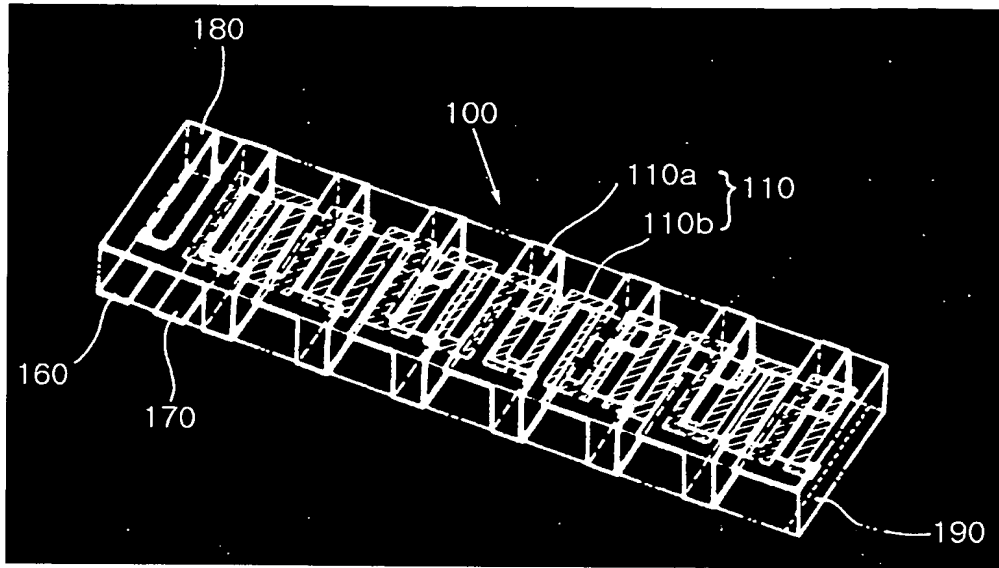
상기 도체패턴에 연결되는 접지단자 및 급전단자; 및

상기 1차도체라인 및 접지단자사이에 연결되어 임피던스를 조절하도록 베이스블록의 상단부에 형성되는 임피던스 조절 전극를 포함하여 구성됨을 특징으로 하는 칩 안테나.

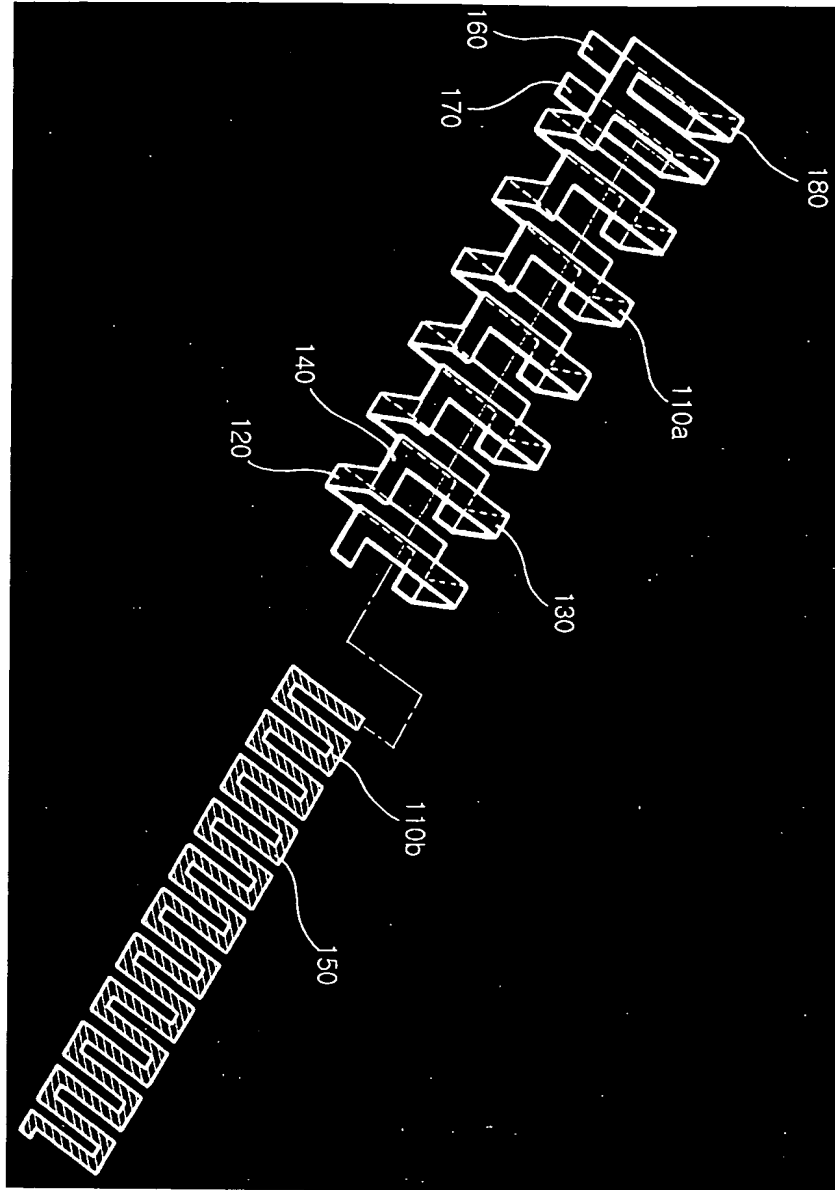
도면



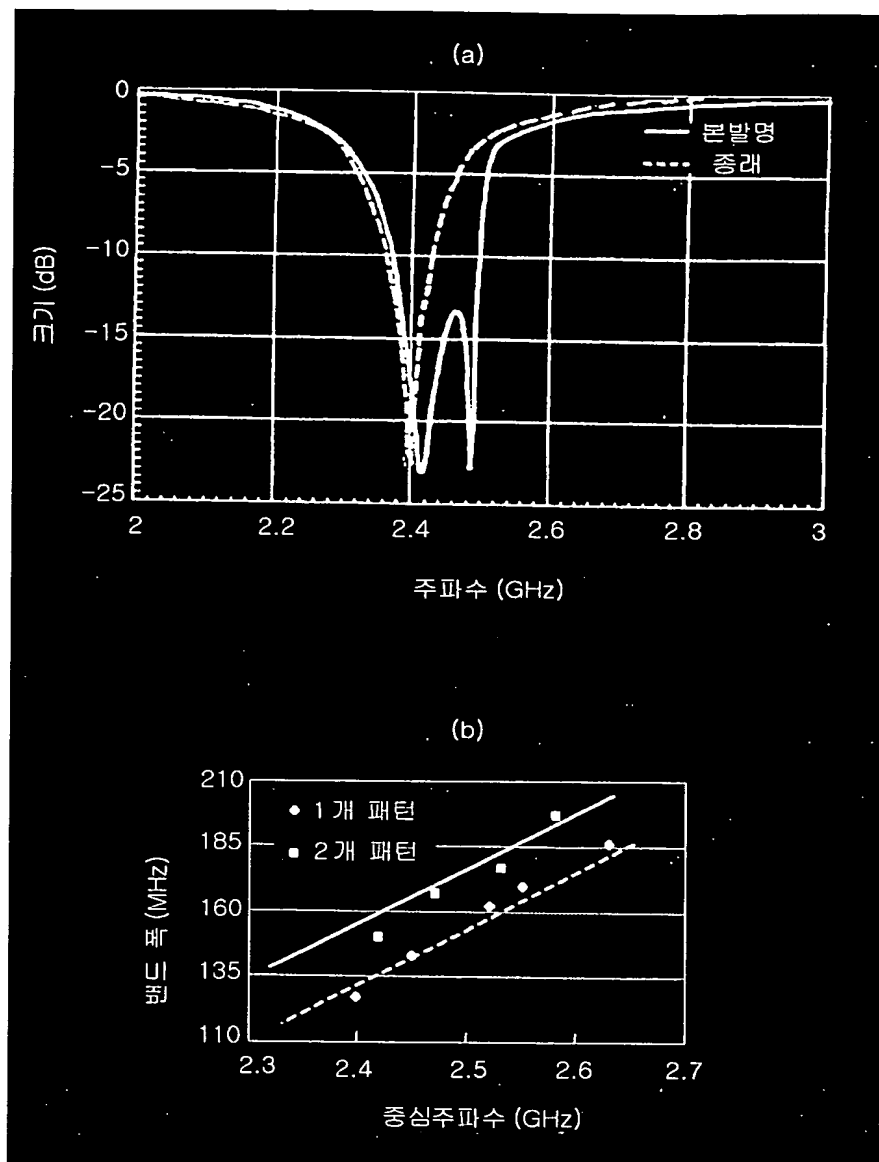
도면 2



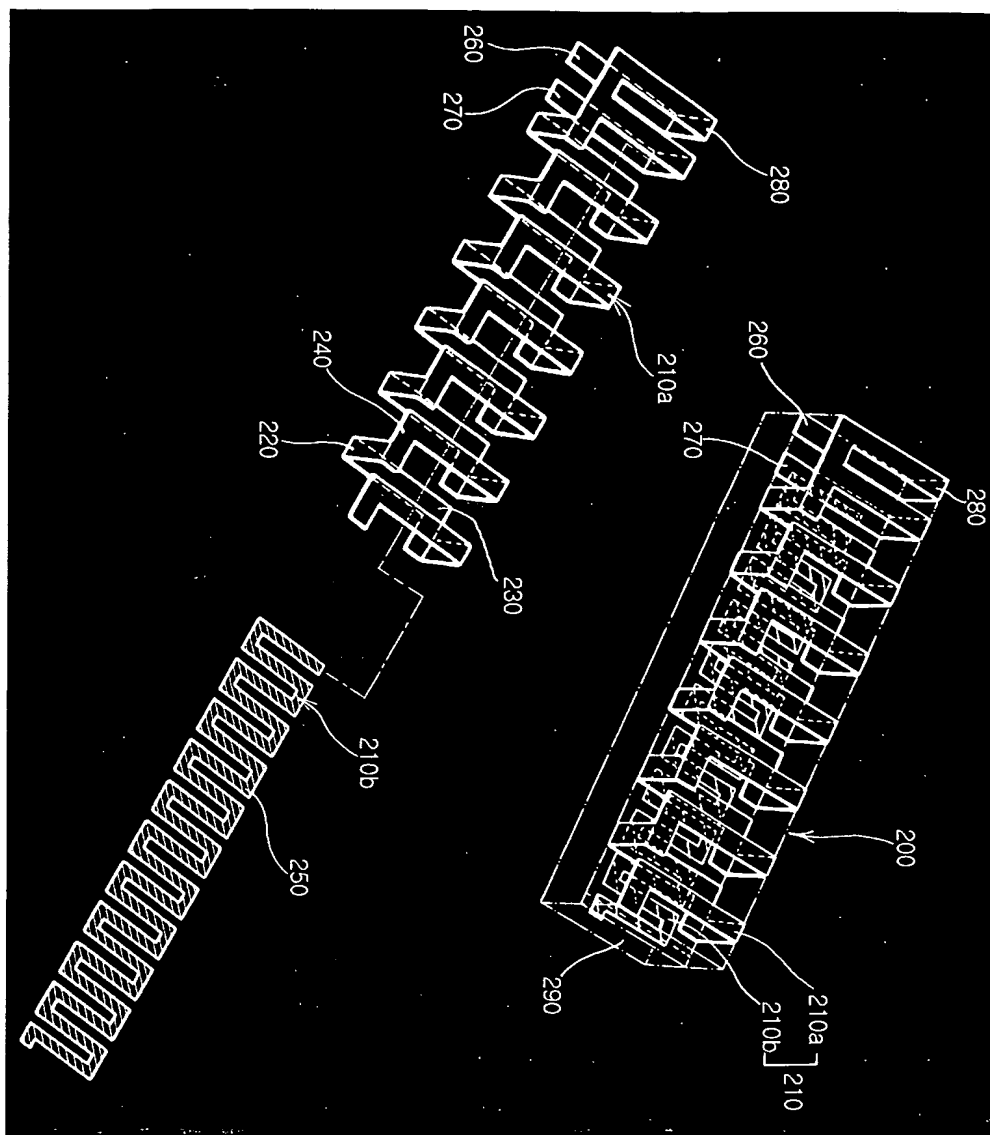
도면 3



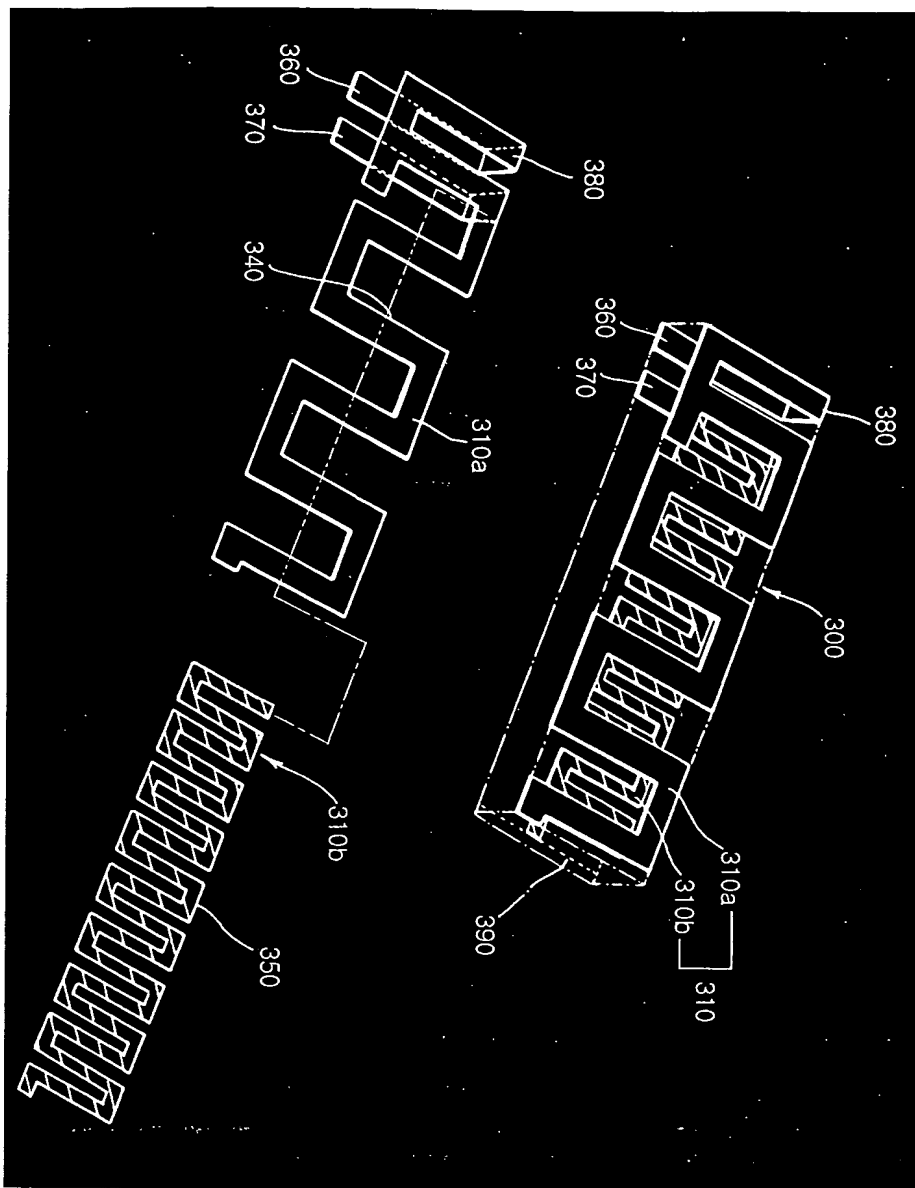
도면 4



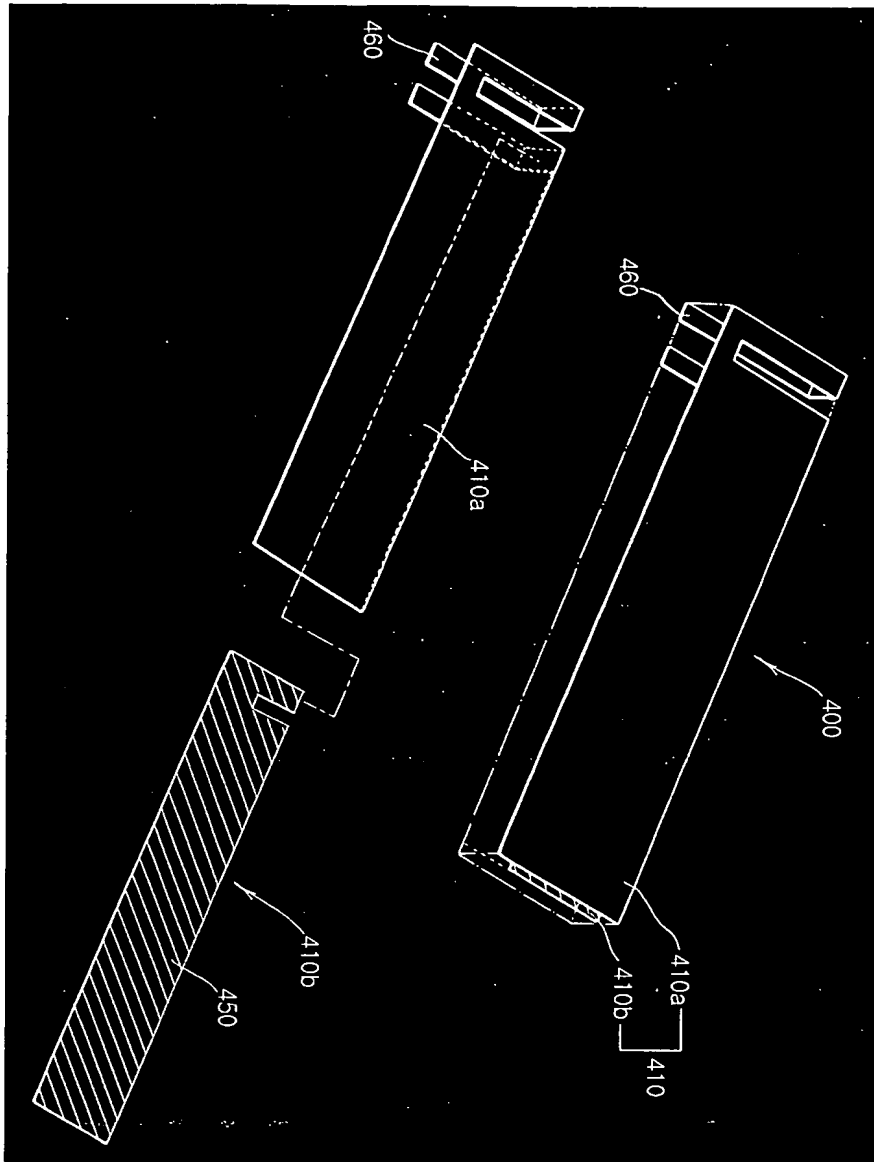
도면 5



도면 6



도면 7



도면 8

